

S21 1 PN="60-220674"  
?t 21/5/1

21/5/1  
DIALOG(R)File 347:JAPIO  
(c) 2002 JPO & JAPIO. All rts. reserv.

01742174 \*\*Image available\*\*  
SOLID-STATE IMAGE PICKUP DEVICE

PUB. NO.: 60-220674 [JP 60220674 A]  
PUBLISHED: November 05, 1985 (19851105)  
INVENTOR(s): MATSUMOTO KAZUYA  
APPLICANT(s): OLYMPUS OPTICAL CO LTD [000037] (A Japanese Company or Corporation), JP (Japan)  
APPL. NO.: 59-077137 [JP 8477137]  
FILED: April 17, 1984 (19840417)  
INTL CLASS: [4] H04N-005/335; H01L-027/14  
JAPIO CLASS: 44.6 (COMMUNICATION -- Television); 42.2 (ELECTRONICS -- Solid State Components)  
JAPIO KEYWORD: R132 (ELECTRONIC MATERIALS -- Electrostatic Induction Type Transistors, SIT)  
JOURNAL: Section: E, Section No. 390, Vol. 10, No. 75, Pg. 54, March 25, 1986 (19860325)

#### ABSTRACT

PURPOSE: To easily obtain an output which is obtained by taking the differential between a photoreceptor signal and dark signal, by constituting a differential circuit by using one piece or one line of dummy picture string, picture elements at the first section of the same line as read out picture elements, etc., in the same photoreceptor device chip.

CONSTITUTION: When the horizontal scanning signal  $\phi.G(\text{sub } 1)$  of a vertical scanning circuit 66 becomes a reading-out gate voltage  $V(\text{sub } \phi.)G$ , LSIT groups 60-11-60-1n connected with a line 61-1 and a dummy transistor 68 are selected and horizontal selecting transistors 63-1-63-n are successively turned on by the signal of a horizontal scanning circuit 67, and then, signals of the LSIT groups 60-11-60-1n are successively outputted from a video line 64. When the signal  $\phi.G(\text{sub } 1)$  goes to a high-level resetting gate voltage  $V(\text{sub } \phi.)R$ , LSIT groups 60-21-60-2n connected to another line 61-2 are selected and read out. When a vertical scanning signal  $\phi.G(\text{sub } 2)$  during the reading out period, the dummy transistor 68 is reset at once. In the same way, the optical signal of the LSITs and the dark signal of the transistor 68 are read out.

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭60-220674

⑬ Int.Cl.<sup>4</sup>

H 04 N 5/335  
H 01 L 27/14

識別記号

庁内整理番号

6940-5C  
7525-5F

⑭ 公開 昭和60年(1985)11月5日

審査請求 未請求 発明の数 1 (全19頁)

⑮ 発明の名称 固体撮像装置

⑯ 特 願 昭59-77137

⑰ 出 願 昭59(1984)4月17日

⑱ 発 明 者 松 本 一 哉 東京都渋谷区幡ヶ谷2丁目43番2号 オリジナル光学工業株式会社内

⑲ 出 願 人 オリジナル光学工業株式会社 東京都渋谷区幡ヶ谷2丁目43番2号

明 細 書

1. 発明の名称 固体撮像装置

2. 特許請求の範囲

1. 各画素に増幅機能を有した固体撮像手段と、上記各画素からの出力信号と暗状態の出力信号との差動をとる差動手段とを備え、上記固体撮像手段及び差動手段を同一の受光装置チップ内に形成して、該受光チップから差動出力を得ることを特徴とする固体撮像装置。

2. 上記固体撮像手段は、横型静電誘導トランジスタまたは縦型静電誘導トランジスタをマトリックス状に配列して構成したことを特徴とする特許請求の範囲第1項記載の固体撮像装置。

3. 上記受光装置チップは遮光された1個の画素を備え、該画素を用いることにより暗状態の出力信号を得ることを特徴とする特許請求の範囲第1項または第2項記載の固体撮像装置。

4. 上記受光装置チップは遮光された1列の画素群を備え、該画素群を用いることにより暗状態の出力信号を得ることを特徴とする特許請求

の範囲第1項または第2項記載の固体撮像装置。

5. 上記撮像手段はマトリックス状に配列され、読み出そうとする画素の同行前列の画素を用いることにより暗状態の出力信号を得ることを特徴とする特許請求の範囲第1項または第2項記載の固体撮像装置。

6. 上記撮像手段はマトリックス状に配列され、読み出そうとする画素の同列前行の画素を用いることにより暗状態の出力信号を得ることを特徴とする特許請求の範囲第1項または第2項記載の固体撮像装置。

3. 発明の詳細な説明

〔発明の技術分野〕

本発明は横型静電誘導トランジスタ又は縦型静電誘導トランジスタを用いた固体撮像装置に関するものである。

〔発明の背景技術〕

近時、固体撮像装置としてBBD、CCD等の電荷転送素子を用いるものや、MOS型トランジスタを用いるものなどが広く用いられている。しか

し、これら固体撮像装置は電荷転送時に電荷の洩れがあること、光検出感度が低いこと、集積度が上がらないことなどの問題がある。斯様な問題を一挙に解決するものとして、静電誘導トランジスタ(Static Induction Transistor、以下SITと略称する)を用いたものが新たに提案されている。例えば、特開昭55-15229号公報にはマトリックス状に配列したSITのソースを行導線に接続し、ドレインを列導線に接続し、ゲートをクリア導線に接続した固体撮像装置が示されている。更に、横型静電誘導トランジスタ(Lateral Static Induction Transistor; 以下LSITと略称する)を用いた固体撮像装置に於ける出力形式としては、各受光画素と1つの抵抗を組合わせてソース接地又はソースフォロワー形式で直接的に受光信号を出力するものがある。例えば、本発明者は昭和58年3月29日付特許願 発明の名称「固体撮像素子および固体撮像装置」に於いて、新たな固体撮像装置を提案した。即ち、この提案による固体撮像装置は、絶縁物または高抵抗半導体基体上に形成し

た半導体層の表面に、静電誘導トランジスタのソース領域およびドレイン領域を設けると共に、これらソース領域およびドレイン領域の少なく共一方の領域を完全に閉むように光信号を蓄積するゲート領域を設け、<sup>上</sup>隣接半導体層の表面と平行にソース・ドレイン電流が流れるように構成したことを特徴とするものである。

更に、該固体撮像装置は、絶縁物または高抵抗半導体基体上に形成した半導体層の表面に、ソース領域およびドレイン領域を設けると共に少なくとも一部分をこれらソース領域およびドレイン領域の間に形成したゲート領域を設け、半導体層の表面と平行にソース・ドレイン電流が流れるように構成した静電誘導トランジスタ<sup>上</sup>を具える固体撮像素子と、光信号蓄積時に隣接ソースおよびドレイン領域を逆バイアスする手段とを具えることを特徴とするものである。

更に、該固体撮像装置は、絶縁物または高抵抗半導体基体上に形成した半導体層の表面に、ソース領域およびドレイン領域を設けると共に少なく

とも一部分をこれらソース領域およびドレイン領域の間に形成したゲート領域を設け、半導体層の表面と平行にソース・ドレイン電流が流れるように構成した静電誘導トランジスタを具える固体撮像素子を多数マトリックス状に配列したアレイとこのアレイの順次の固体撮像素子を、光電荷をゲート領域に蓄積する光信号蓄積時間中はソースおよびドレイン領域を逆バイアスして出力信号が生じないようにし、信号読み出し時間中はソースまたはドレイン領域を接地してゲート領域に蓄積された光電荷に応じたソース・ドレイン電流をビデオラインに流す走査手段とを具えることを特徴とするものである。以下、上記固体撮像装置の概要について説明する。第1図は、<sup>固体撮像</sup>πチャネルデバイスで構成した<sup>光電変換</sup>装置の1画素を表記した回路記号であり、ソース接地回路を構成している。同図に於いて、端子1はソース端子でソース電圧 $V_s$ が印加され、端子2はドレイン端子でありドレイン電圧 $V_d$ が印加されており、負荷抵抗 $(R_D)$ 4と出力電圧 $V_{out}$ を得る出力端子5を介してド

レイン電極(D)に接続されている。更に、端子3はゲート端子でゲート電極(G)6に接続され、該ゲート電極6にはゲート上部から入射光7が入射する。又、基板端子8には基板電圧 $V_{sub}$ が印加されている。第2図(A)~(D)は上記固体撮像装置の動作を説明する信号波形図を示し、同図(A)はゲート端子3に印加するゲート電圧 $V_g$ と時間との関係、同図(B)はドレイン端子2に印加するドレイン電圧 $V_d$ と時間との関係、同図(C)はソース端子1に印加するソース電圧 $V_s$ と時間との関係、同図(D)は基板端子8に印加する基板電圧 $V_{sub}$ と時間との関係を夫々に示す図である。同図(A)~(D)に於いて、読み出し動作の1周期は $T$ であり、該周期 $T$ は蓄積時間 $T_1$ 、読み出し時間 $T_2$ 及びリセット時間 $T_3$ に分割して示す。次に、第1図及び第2図(A)~(D)に基づいて該固体撮像装置の読み出し動作について説明する。読み出し期間の全期間を通じて上記ソース電圧 $V_s$ はグランド電圧 $V_{s1}$ に、また基板電圧 $V_{sub}$ は順バイアス電圧 $V_{sub1}$  ( $V_{sub1} < 0$ )に保持されている。上記蓄

積時間  $T_1$  の期間中は、ゲート電圧  $V_G$  は、深い逆バイアス電位  $V_{G1}$  ( $V_{G1} < 0$ ) となっており、光量に応じてゲート直下の半導体、絶縁膜界面に光により発生した正孔が蓄積されることとなる。なお、蓄積時間  $T_1$  の期間中は、ドレイン電圧  $V_D$  は、グランド電圧  $V_{D1}$  となっている。次に、蓄積時間  $T_1$  の終了後、読み出し時間  $T_2$  に移り、該読み出し時間  $T_2$  の時間中は、ゲート電位は、ゲート読み出し電圧  $V_{G2}$  ( $V_{G1} \leq V_{G2} < 0$ ) となり、ドレイン電圧  $V_D$  は  $V_{D2}$  ( $V_{D2} > 0$ ) が印加され、光量に応じた出力信号を読み出す。その後、上記読み出し期間  $T_2$  後、画素をリセットする時間  $T_3$  に入り、該リセット時間  $T_3$  の期間中はゲート電圧  $V_G$  は、逆バイアス電圧  $V_{G3}$  ( $V_{G3} > 0$ ) となり光により発生しゲート直下に蓄積していた正孔が掃き出される。なお、同図でドレイン電圧  $V_D$  は、読み出し電圧  $V_{D2}$  となっているが、リセット期間中は、ドレイン電圧  $V_D$  が  $V_{D1}$  でもかまわない。次に、第3図は上記固体撮像装置の出力例を示すものであり、ゲート電極上部への入射光量と出力端子5の電圧

$V_{OUT}$  とをリニアスケールの関係で示す。同図に於いて、光量  $I$  が零 (0) の時は、画素を構成する LSIT はオフ (OFF) 状態であり、出力電圧  $V_{OUT}$  はドレイン電圧  $V_D$  となる。次に、光量  $I$  が増加するに従って LSIT はオン (ON) 状態が強くなり出力電圧  $V_{OUT}$  が下降して、飽和光量を越える光量が入射すると一定の出力電圧  $V_{OUT}$  が出力される。上記飽和光量までの光量の領域に於いては、出力 ( $\equiv V_{OUT}$ )  $\propto$  光量 ( $\equiv I$ ) の関係が実験によって確かめられている。次に、上述の動作原理に基づいた固体撮像装置の単一出力アレイ (Array) の動作について、第4図 (A) 及び同図 (B) を用いて説明する。固体撮像装置では固体撮像素子をマトリックス状に配列し、これをラスタ走査することにより映像信号を取り出しているがこの走査方法としては、ドレイン・ゲート選択方式、ソース・ゲート選択方式、ソース・ドレイン選択方式があるが、以下ドレイン・ゲート選択方式について説明する。第4図 (A) は、上記 LSIT をマトリックス状に配列した固体撮像装置の構成概略図を示し、

同図 (B) は、該装置の動作を説明するための信号波形図を示す。第4図 (A) に示すように  $m \times n$  個の LSIT 250-11, 250-12, ..., 250-21, 250-22, ..., 250-mn をマトリックス状に配列し、XYアドレス方式により順次信号を読み出すように構成する。各画素を構成する LSIT としてはゲート領域によってソースおよびドレイン領域の少なくとも一方を囲む構成とした横形の静電誘導トランジスタだけでなく、ソース・ドレイン領域間にゲート領域を設けた構成の横形静電誘導トランジスタとすることもできる。該固体撮像装置では各 LSIT のソース端子は接地し、X方向に配列された各行の LSIT 群のゲート端子は行ライン 251-1, 251-2, ..., 251-m にそれぞれ接続する。また Y 方向に配列された各列の LSIT 群のドレイン端子は列ライン 252-1, 252-2, ..., 252-n にそれぞれ接続し、これら列ラインはそれぞれ列選択用トランジスタ 253-1, 253-2, ..., 253-n および 253-1', 253-2', ..., 253-n' を介してそれぞれビデオライン 254 およびグラウンドライン 254'

に共通に接続する。ビデオライン 254 には負荷抵抗 255 を介してビデオ電源  $V_{DD}$  を接続する。行ライン 251-1, 251-2, ..., 251-m は垂直走査回路 256 に接続され、それぞれ信号  $\phi_{G1}$ ,  $\phi_{G2}$ , ...,  $\phi_{Gm}$  が順次に印加されるように構成する。また、列選択トランジスタ 253-1, 253-2, ..., 253-n および 253-1', 253-2', ..., 253-n' のゲート端子は水平走査回路 257 に接続され、それぞれ信号  $\phi_{D1}$ ,  $\phi_{D2}$ , ...,  $\phi_{Dn}$  およびその反転信号が印加されるように構成する。

次に、第4図 (B) を参照して本例の固体撮像装置の動作を説明する。第4図 (B) は垂直走査信号  $\phi_G$  および水平走査信号  $\phi_D$  を示すものである。行ライン 251-1, 251-2, ... に印加される信号  $\phi_{G1}$ ,  $\phi_{G2}$ , ... は小さい振幅の読み出しゲート電圧  $V_{\phi G}$  と、それより大きい振幅のリセットゲート電圧  $V_{\phi R}$  とより成るもので、一つの行ラインの走査期間  $t_H$  の間は  $V_{\phi G}$ 、次の行ラインの水平走査に移るまでの水平ブランキング期間  $t_{BL}$  には  $V_{\phi R}$  の値になるように設定されている。列選択用トランジスタの

ゲート端子に加えられる水平走査信号 $\phi_{D1}$ 、 $\phi_{D2}$ …は列ライン252-1、252-2…を選択するための信号であり、低レベルは列選択用トランジスタ253-1、253-2…をオフ、反選択用トランジスタ253-1'、253-2'…をオン、高レベルは列選択用トランジスタをオン、反選択用トランジスタをオフとする電圧値となるように設定されている。

次に上述したLSITの動作原理に基づいて第4図(A)に示した固体撮像装置の動作を同図(B)に示す信号波形を参照して説明する。垂直走査回路256の作動により信号 $\phi_{G1}$ が $V_{HG}$ となると、行ライン251-1に接続されたLSIT群250-11、250-12…250-1nが選択され、水平走査回路257より出力される信号 $\phi_{D1}$ 、 $\phi_{D2}$ …により水平選択トランジスタ253-1、253-2…253-nが順次オンすると、LSIT250-11、250-12…250-1nの信号が順次にビデオライン254より出力される。続いて、このLSIT群250-11、250-12…250-1nは信号 $\phi_{G1}$ が高レベル $V_{HR}$ になったときに一齐にリセットされ、次に光信号

を蓄積し得る状態となる。次いで信号 $\phi_{G2}$ が $V_{HG}$ となると行ライン251-2に接続されたLSIT群250-21、250-22…250-2nが選択され、水平走査信号 $\phi_{D1}$ 、 $\phi_{D2}$ …によりLSIT250-21、250-22…250-2nの光信号が順次に読み出され、続いて $\phi_{G2}$ が $V_{HR}$ となることにより一齐にリセットされる。以下同様にして順次のLSITの光信号が読み出され、1フィールドのビデオ信号が出力される。上記の固体撮像装置に於いては、第3図に示した出力形式から判明するように、出力形式として入射光が弱い程大きい出力が出る、即ち、入力信号に対して出力信号が逆相で出力され、又、飽和露光出力 $V_{OUT1}$ が加わった状態で出力されることになる。従って、上記出力信号を固体撮像装置の受光アレイチップ以外の外部で後処理を行わなければならない、余分な外部回路を必要とする。更に、新様な外部回路を用いて外部で出力信号を後処理を行うために個々の画素或いはチップ間でのバラツキに対応させるのが困難となり、それ故、該固体撮像装置の製作に於ける歩留りの低

下の原因となる。更に、上記後処理のための外部回路を組み込むものであるから、製造コストが高くなる。

#### 〔発明の目的〕

本発明の目的は、上述した固体撮像装置における欠点を除去し、高性能で且つ製作容易な固体撮像装置を提供するものである。更に、本発明の他の目的は、各受光画素内に於いて増幅機能を備えた受光アレイに関して同一チップ内に於ける各画素出力成分から撮像信号を差し引き、受光アレイの他に外部処理回路を用いることなく単一の受光装置チップで光量に比例した出力信号を得る固体撮像装置を提供するものである。

#### 〔発明の概要〕

本発明は横型静電誘導トランジスタまたは縦型静電誘導トランジスタを用いる固体撮像装置であって、同一の受光装置チップ内で1個のダミー画素、又は1列のダミー画素列、又は読み出し画素と同行前列の画素等を用いることによりアレイ内の画素信号との差動回路を構成し受光装置チップ

から画素の光量に比例した差動出力を容易に得ることを特徴とするものである。

#### 〔発明の実施例〕

以下、本発明による固体撮像装置の実施例を添付図面を参照して説明する。第5図は本発明の一実施例を示す基本構成図である。第5図に於いて、受光トランジスタ(Q1)40と同様な構造を備えたトランジスタ(Q2)40'は表面に遮光膜或いは該トランジスタ(Q1)40Aをリセット時に動作させて用いる等によって入射光量が零(0)の時、出力を送出するように構成したトランジスタである。上記受光トランジスタ(Q1)40及びトランジスタ40'の夫々のソース端子41及び41'、負荷抵抗(RL1)42と(RL2)42'を介したドレイン端子43、ゲート端子44、基板端子48及びソース電圧(グラウンド電圧)ドレイン電圧 $V_D$ 、ゲート電圧 $V_G$ 、基板電圧 $V_{SUB}$ は共通に接続されると共に上記各電圧が印加されている。上記負荷抵抗(RL1)42及び出力端子45、負荷抵抗(RL2)42'及び出力端子45'は、上記受光トランジスタ(Q1)40及びトランジスタ(Q2)40'

の夫々のドレイン電極と共通の上記ドレイン端子43との間に接続されており、上記負荷抵抗の抵抗値は $R_{L1}=R_{L2}$ なる関係に選定されている。46は上記受光トランジスタ(Q1)40のゲート部に入射する光である。次に、上記基本構成に於ける動作の説明であるが、上述の第1図及び第2図に示した固体撮像装置の説明と同等であるので省略する。上記出力端子45からは入射光46に応じた出力信号が出力され、出力端子45'からは光量が零(0)の時の信号が出力される。該出力端子45, 45'からの夫々の出力信号 $V_{out}$ ,  $V'_{out}$ の差、即ち、 $\Delta V_{out}=V_{out}-V'_{out}$ をとると、 $\Delta V_{out}$ の入射光量46に対する出力信号は第6図に示すような光量 $\phi$ (lux)と出力電圧 $\Delta V_{out}$ (V)の関係の出力特性を得る。

以下に上記本発明の動作原理に基づいた各実施例について説明する。第7図は本発明による固体撮像装置の他の実施例を示す構成概略図であり、本実施例は1個のダミーセルを用いて差動出力を得る受光アレイ回路の構成概略図を示すものであ

し、これら列ラインはそれぞれ列選択用トランジスタ63-1, 63-2... 63-nおよび63-1', 63-2'... 63-n'を介してそれぞれビデオライン64および64'に共通に接続する。ビデオライン64には負荷抵抗65を介してビデオ電源 $V_{DD}$ を接続する。同様にビデオライン64'には負荷抵抗65'を介してビデオ電源 $V_{DD}$ を接続する。行ライン61-1, 61-2... 61-mは垂直走査回路66に接続され、それぞれ信号 $\phi_{G1}$ ,  $\phi_{G2}$ , ...,  $\phi_{Gm}$ が順次に印加されるように構成する。また、列選択トランジスタ63-1, 63-2... 63-nのゲート端子は水平走査回路67に接続され、それぞれ信号 $\phi_{D1}$ ,  $\phi_{D2}$ ...  $\phi_{Dn}$ が印加されるように構成する。ダミートランジスタ68はA<sub>2</sub>等により入射光が入らないように遮光されており、そのソース端子は接地されている。更に、ダミートランジスタ68のゲート端子には行ライン61'に接続されると共に、ドレイン端子はライン69に接続されている。ビデオライン64'には負荷抵抗65'を介してビデオ電圧 $V_{DD}$ が加えられている。ここで負荷抵抗65と同

る。固体撮像装置では固体撮像素子をマトリックス状に配列し、これをラスタ走査することにより映像信号を取り出しているがこの走査方法としては、ドレイン・ゲート選択方式、ソース・ゲート選択方式、ソース・ドレイン選択方式があるが、以下ドレイン・ゲート選択方式について説明する。 $m \times n$ 個のLSIT 60-11, 60-12, ..., 60-21, 60-22, ..., 60-mnをマトリックス状に配列し、XYアドレス方式により順次信号を読み出すように構成する。各画素を構成するLSITとしてはゲート領域によってソースおよびドレイン領域の少なくとも一方を囲む構成とした横形の静電誘導トランジスタだけでなく、ソース・ドレイン領域間にゲート領域を設けた構成の横形静電誘導トランジスタとすることもできる。本実施例では各LSITのソース端子は接地し、X方向に配列された各行のLSIT群のゲート端子は行ライン61-1, 61-2, ..., 61-mにそれぞれ接続する。またY方向に配列された各列のLSIT群のドレイン端子は列ライン62-1, 62-2... 62-nにそれぞれ接続

65'の抵抗値は同じ値とする。上記ライン61'は垂直走査回路66に接続され信号 $\phi_{G1}$ ,  $\phi_{G2}$ , ...,  $\phi_{Gm}$ のOR(和)信号が加わるようになっている。また、選択用トランジスタ63'のゲート端子には水平走査回路67が接続され信号 $\phi_{D1}$ ,  $\phi_{D2}$ , ...,  $\phi_{Dn}$ のOR(和)信号が加わるようになっている。次に、第8図に基づいて本実施例の固体撮像装置の動作を説明する。第8図は垂直走査信号 $\phi_G$ , 水平走査 $\phi_D$ 及びダミートランジスタ用信号 $\phi_G$ ,  $\phi_D$ について説明する。行ライン61-1, 61-2...に印加される信号 $\phi_{G1}$ ,  $\phi_{G2}$ ...は小さい振幅の読み出しゲート電圧 $V_{\phi G}$ と、それより大きい振幅のリセットゲート電圧 $V_{\phi R}$ とより成るもので、一つの行ラインの走査期間 $t_H$ の間は $V_{\phi G}$ 、次の行ラインの水平走査に移るまでの水平ブランキング期間 $t_{BL}$ には $V_{\phi R}$ の値になるように設定されている。列選択用トランジスタのゲート端子に加えられる水平走査信号 $\phi_{D1}$ ,  $\phi_{D2}$ ...は列ライン62-1, 62-2...を選択するための信号であり、低レベルは列選択用トランジスタ63-1, 63-2...をオフ、高レベル

は列選択用トランジスタをオンする電圧値となるように設定されている。上述したようにダミートランジスタ68のゲートライン61'にはダミー用信号 $\phi_{G'}$ の信号波形が入力し、選択用トランジスタ63'のゲート端子にはダミー用信号 $\phi_{D'}$ の信号波形が入力される。次に、上述したLSITの動作原理に基づいて、第7図に示した固体撮像装置の動作を第8図に示す信号波形を参照して説明する。垂直走査回路66の作動により信号 $\phi_{G1}$ が $V_{\phi G}$ となると、行ライン61-1に接続されたLSIT群60-11, 60-12... 60-1n及びダミートランジスタ68が選択され、水平走査回路67より出力される信号 $\phi_{D1}$ ,  $\phi_{D2}$ ...により水平選択トランジスタ63-1, 63-2... 63-nが順次オンすると、LSIT60-11, 60-12... 60-1nの信号が順次にビデオライン64より出力される。続いて、該LSIT群60-11, 60-12... 60-1n及びダミートランジスタ68は信号 $\phi_{G1}$ が高レベル $V_{\phi R}$ になったときに一斉にリセットされ、次に光信号を蓄積し得る状態となる。次いで信号 $\phi_{G2}$ が $V_{\phi G}$ となると行ライン

61-2に接続されたLSIT群60-21, 60-22... 60-2nが選択され、水平走査信号 $\phi_{D1}$ ,  $\phi_{D2}$ ...によりLSIT 60-21, 60-22... 60-2nの光信号が順次に読み出され、これらトランジスタが読み出されている間、上記ダミートランジスタ68は常に読み出され続いて信号 $\phi_{G2}$ が $V_{\phi R}$ となることにより一斉にリセットされる。以下、同様にして順次のLSITの光信号及びダミートランジスタ68からの暗状態の出力信号(以下、Dark: ダーク信号という)が読み出され、1フィールドのビデオ信号を得ることができる。従って、本実施例では、ビデオライン64からは光出力信号が出力され、該出力信号と同期してビデオライン64'からは暗状態の出力信号が出力される。本実施例に於いては唯一のダミートランジスタを各画素に増幅機能を有したLSITから成る受光アレイを同一の受光装置チップ内に構成することにより、該受光アレイから差動出力を得られるという特徴を有する。

第9図は本発明による固体撮像装置の更に他の実施例を示す構成概略図であり、本実施例は1列

のダミースセルを用いて差動出力を得るドレイン・ゲート選択方式の受光アレイ回路の構成概略図を示すものである。第9図に於いて、 $m \times n$ 個のLSIT 70-11, 70-12, ..., 70-21, 70-22, ..., 70-mnをマトリックス状に配列し、XYアドレス方式により順次信号を読み出すように構成する。また、各画素を構成するLSITは上述の実施例と同様の構成を適用することができる。本実施例では、各LSITのソース端子は接地し、X方向に配列された各行のLSIT群のゲート端子は行ライン71-1, 71-2, ..., 71-mに夫々接続する。またY方向に配列された各列のLSIT群および破線で取り囲んだダミー用LSIT 70-1, 70-2, ..., 70-mのドレイン端子は列ライン72-1, 72-2, ..., 72-nおよび72に夫々に接続し、これら列ラインはそれぞれ列選択用トランジスタ73-1, 73-2, ..., 73-nおよび73を介してそれぞれビデオライン74および74'に共通に接続する。ビデオライン74には負荷抵抗75を介してビデオ電源 $V_{DD}$ を接続する。また、同様にビデオライン74'には負

荷抵抗75'を介してビデオ電源 $V_{DD}$ を接続する。行ライン71-1, 71-2, ..., 71-mは垂直走査回路76に接続され、それぞれ信号 $\phi_{G1}$ ,  $\phi_{G2}$ , ...,  $\phi_{Gm}$ が順次に印加されるように構成する。また、列選択トランジスタ73-1, 73-2, ..., 73-nおよび73のゲート端子は水平走査回路77に接続され、それぞれ信号 $\phi_{D1}$ ,  $\phi_{D2}$ , ...,  $\phi_{Dn}$ が印加され、列選択用トランジスタ73のゲート端子には信号 $\phi_{D1}$ ,  $\phi_{D2}$ , ...,  $\phi_{Dn}$ のOR(和)信号が印加されるように構成されている。

次に、第10図に基づいて本実施例の固体撮像装置の動作を説明する。第10図は信号波形図を示し垂直走査信号 $\phi_G$ 、水平走査信号 $\phi_D$ 及びダミートランジスタ用信号 $\phi_{G'}$ ,  $\phi_{D'}$ について説明する。行ライン71-1, 71-2...に印加される信号 $\phi_{G1}$ ,  $\phi_{G2}$ ...は小さい振幅の読み出しゲート電圧 $V_{\phi G}$ と、それより大きい振幅のリセットゲート電圧 $V_{\phi R}$ とより成るもので、一つの行ラインの走査期間 $t_H$ の間は $V_{\phi G}$ 、次の行ラインの水平走査に移るまでの水平ブランキング期間 $t_{BL}$ には $V_{\phi R}$ の値になる

ように設定されている。列選択用トランジスタのゲート端子に加えられる水平走査信号 $\phi_{D1}$ ,  $\phi_{D2}$ …は列ライン72-1, 72-2…を選択するための信号であり、低レベルは列選択用トランジスタ73-1, 73-2…をオフ、高レベルは列選択用トランジスタをオンする電圧値となるように設定されている。また、上記列選択用トランジスタ73のゲート端子に印加されるダミー走査信号 $\phi_{D'}$ は上述のように信号 $\phi_{D1}$ ,  $\phi_{D2}$ , … $\phi_{Dn}$ のOR(和)をとるために信号波形は第10図のようになる。

次に、上述したLSITの動作原理に基づいて、第9図に示した固体撮像装置の動作を第10図に示す信号波形を参照して説明する。垂直走査回路76の作動により信号 $\phi_{G1}$ となると、行ライン71-1に接続されたLSIT群70-11, 70-12, …70-1n及びダミー選択用LSIT 70-1, 70-2, …70-mが選択され、水平走査回路77より出力される信号 $\phi_{D1}$ ,  $\phi_{D2}$ , …により水平選択トランジスタ73-1, 73-2, 73-nが順次オンすると、LSIT 70-11, 70-12, 70-1nの信号が順次にビデオ

ライン74より出力される。また、該行が読み出される間、同行のダミー用LSIT 70-1より暗状態の信号成分がビデオライン74'より出力される。続いて、該LSIT群70-11, 70-12, …70-1nは信号 $\phi_{G1}$ が高レベル $V_{PR}$ になった時に一斉にリセットされ、次に光信号を蓄積し得る状態となる。次いで、信号 $\phi_{G2}$ が信号 $V_{PG}$ となると行ライン71-2に接続されたLSIT群70-21, 70-22, …70-2nが選択され、水平走査信号 $\phi_{D1}$ ,  $\phi_{D2}$ , … $\phi_{Dn}$ およびダミー走査信号 $\phi_{D'}$ によりLSIT 70-21, 70-22, …70-2nの光信号が順次に読み出され、その間、上記ダミー選択用LSIT 70-2からの暗状態の信号成分が同期して読み出され、続いて信号 $\phi_{G2}$ が $V_{PR}$ となることにより一斉にリセットされる。以下、同様にして順次に各画素の光信号およびダーク信号が読み出され1フィールドのビデオ信号を得ることができる。なお、上記ダミー用LSIT 70-1, 70-2…70-mは本実施例では最右列に配列させたが、該ダミー用LSITはいずれの行に配列されていてもよい。

本実施例に於いては、光信号の読み出し画素と同一の留分時間を経過した後のダーク信号を読み出すことができるという特徴を有する。

第11図は本発明による固体撮像装置の更に他の実施例を示す構成概略図であり、本実施例は1列のダミーセルを用いて全ての画素について近接の暗状態と近似できる画素との間での差動出力を得るものである。第11図に於いて、 $m \times n$ 個のLSIT 80-11, 80-12, …80-21, 80-22, …80-mn (縦線を取り除いた) および遮光されたダミー画素80-1, 80-2, …80-mをマトリックス状に配列し、XYアドレス方式により順次信号を読み出すように構成する。また、各画素を構成するLSITは上述の実施例と同様の構成を適用することができる。本実施例ではY方向に配列された各LSITのソース端子は行ライン89-1', 89-1, 89-2, …89-n<sup>レ</sup>に接続され、X方向に配列された各行のLSIT群のゲート端子は行ライン81-1, 81-2, …, 81-mに夫々に接続する。また、Y方向に配列された各列のLSIT群のドレイン端子は列ライン82-1', 82-1, 82-2

…82-nに接続され、これらの列ラインはそれぞれ列選択用トランジスタ83-1, 83-2, …83-nおよび83, 83-1', 83-2', …83-(n-1)'を介してビデオライン84および84'に共通に接続する。ビデオライン84には負荷抵抗85を介してビデオ電源 $V_{DD}$ を接続する。また、同様にビデオライン84'には負荷抵抗85'を介してビデオ電源 $V_{DD}$ を接続する。ここで、負荷抵抗85および85'は同等の抵抗値を有している。行ライン81-1, 81-2, …, 81-mは垂直走査回路86に接続され、それぞれ信号 $\phi_{G1}$ ,  $\phi_{G2}$ , … $\phi_{Gm}$ が順次に印加されるように構成する。また、列選択トランジスタ83-1, 83-2, …83-n, ~~83-n'~~のゲート端子は水平走査回路87に接続され、それぞれ信号 $\phi_{S1}$ ,  $\phi_{S2}$ … $\phi_{Sn}$ ,  $\phi_{S'}$ が印加されるように構成されている。

次に、第12図に基づいて本実施例の固体撮像装置の動作を説明する。第12図は信号波形図を示し垂直走査信号 $\phi_G$ , 水平走査信号 $\phi_D$ 及び $\phi_S$ について説明する。行ライン81-1, 82-2, …に印加される信号 $\phi_{G1}$ ,  $\phi_{G2}$ …は光蓄積電圧 $V_{S1}$ と小さい



振幅の読み出しゲート電圧  $V_{\#G}$  とより成るもので、一つの行ラインの走査期間  $t_H$  の間は  $V_{\#G}$  となるように設定されている。各画素をリセットするために、LSIT群のソース列端子に印加される水平走査信号  $\phi_{S1}, \phi_{S2}, \dots, \phi_{Sn}, \phi_{S'}$  は各画素の読み出しドレイン電圧  $\phi_{Di}$  が終了した後に信号  $\phi_{Si}$  が入力されるようになっている。該信号  $\phi_{Si}$  は読み出しゲート電圧  $V_{\#G}$  と電位がほぼ等しく、読み出し直後の1画素のみをリセットする効果を有している。

次に、上述したLSITの動作原理に基づいて、第11図に示した固体撮像装置の動作を第12図に示す信号波形を参照して説明する。垂直走査回路86の作動により信号  $\phi_{G1}$  が信号  $V_{\#G}$  になると、行ライン81-1に接続されたLSIT群80-11, 80-12,  $\dots$  80-1nが選択され、水平走査回路87より出力される信号  $\phi_{D1}, \phi_{D2}, \dots, \phi_{Dn}$  により水平選択トランジスタ83-1, 83-2, 83-nおよび83, 83-1',  $\dots$  83-(n-1)'が順次オンすると、LSIT 80-11, 80-12, 80-1nの信号が順次にビデオライン84

より、また、順次暗状態とみなせるダミー画素およびLSIT群である夫々のトランジスタ80-1, 80-11,  $\dots$  80-(1, n-1)の信号がビデオライン84'より出力される。上記各画素はそれぞれ読み出し動作が終了すると、水平走査回路83より出力される信号  $\phi_{S1}, \phi_{S2}, \dots, \phi_{Sn}, \phi_{S'}$  により1画素ずつリセットされる。次いで、信号  $\phi_{G2}$  が信号  $V_{\#G}$  となると、行ライン81-2に接続されたLSIT群が選択され、水平走査信号  $\phi_{D1}, \phi_{D2}, \dots, \phi_{Dn}$  により、LSIT 80-21, 80-22,  $\dots$  80-2nの光信号と暗状態とみなせるLSIT 80-2, 80-21,  $\dots$  80-(2, n-1)の信号が順次に読み出され、続いてリセットされる。以下、同様にして順次に各画素の光信号と各画素と同行前列のリセット直後の近似的な暗状態のダーク信号が読み出され1フィールドのビデオ信号を得ることができる。

本実施例に於いては、全ての画素についての暗状態との差動信号を隣接する画素より得るために差動出力が正確であるという特徴がある。

第13図は本発明による固体撮像装置の更に他の

実施例を示す構成概略図であり、本実施例は画素列の同列前行のLSITとの差動をとり、これによって差動出力を得るものである。第13図に於いて、 $m \times n$  個のLSIT 90-11, 90-12, 90-13,  $\dots$  90-21, 90-22,  $\dots$  90-mnをマトリックス状に配列し、XYアドレス方式により順次信号を読み出すように構成する。本実施例では各LSITのソース端子は接地し、X方向に配列された各行LSIT群のゲート端子には行ライン91-1, 91-2,  $\dots$  91-mにそれぞれ接続する。また、Y方向に配列された各列のLSIT群のドレイン端子は列ライン92-1, 92-2,  $\dots$  92-nおよび列ライン92-1', 92-2',  $\dots$  92-n'に一行おきに接続され、これら列ラインは列選択用トランジスタ93-1, 93-2,  $\dots$  93-nおよび93-1', 93-2',  $\dots$  93-n'を介してそれぞれビデオライン94および94'に共通に接続する。ビデオライン94には負荷抵抗95を介してビデオ電源  $V_{DD}$  を接続する。また、同様にビデオライン94'には負荷抵抗95'を介してビデオ電源  $V_{DD}$  を接続する。ここで、上記負荷抵抗95

と95'は同等の抵抗値を備えている。更に、行ライン91-1, 91-2,  $\dots$  91-mは垂直走査回路96に接続され、それぞれ信号  $\phi_{G1}, \phi_{G2}, \dots, \phi_{Gm}$  が順次に印加されるように構成する。また、列選択トランジスタ93-1, 93-2,  $\dots$  93-nおよび93-1', 93-2',  $\dots$  93-n'のゲート端子には水平走査回路97に接続され、それぞれ信号  $\phi_{D1}, \phi_{D2}, \dots, \phi_{Dn}$  が印加されるように構成されている。

次に、第14図に基づいて本実施例の固体撮像装置の動作を説明する。第14図は信号波形図を示し、垂直走査信号  $\phi_G$  および水平走査信号  $\phi_D$  について説明する。行ライン91-1, 91-2,  $\dots$  に印加される信号  $\phi_{G1}, \phi_{G2}, \dots$  は小さい振幅の読み出しゲート電圧  $V_{\#G}$  と、それより大きい振幅のリセットゲート電圧  $V_{\#R}$  とより成るもので、一つの行ラインの走査期間  $t_H$  の間は  $V_{\#G}$ 、次の行ラインの水平走査に移るまでの水平ブランキング期間  $t_{BL}$  にはリセットゲート電圧  $V_{\#R}$  の値になるように設定されている。列選択用トランジスタのゲート端子に加えられる水平走査信号  $\phi_{D1}, \phi_{D2}, \dots$  は列ライン

92-1, 92-2, ... を選択するための信号であり、低レベルは選択用トランジスタ 93-1, 93-2, ... をオフ、高レベルは列選択用トランジスタをオンする電圧値となるように設定されている。

次に、上述したLSITの動作原理に基づいて第13図に示した固体撮像装置の動作を第14図に示す信号波形図を参照して説明する。垂直走査回路96の作動により信号 $\phi_{G1}$ および $\phi_{G2}$ が $V_{\phi G}$ になると、

(第14図に示すT'の領域)、行ライン91-1および91-2に接続されたLSIT群90-11, 90-12, ... 90-1nが選択され、水平走査回路97より出力される信号 $\phi_{D1}, \phi_{D2}, \dots, \phi_{Dn}$ により水平選択トランジスタ93-1, 93-2, ... 93-nが順次オンすると、順次LSIT 90-21, 90-22, ... 90-2nの光信号が1フィールド(H)前にリセットゲート電圧 $V_{\phi R}$ によりリセットされる。該リセットにより1フィールドの間のみ受光しておらず近似的にダーク信号の出力状態になっているLSIT群90-11, 90-12, ... 90-1nの信号がビデオライン94および94'に出力される。続いて1行目および2行

目のLSIT群は信号 $\phi_{G1}$ および $\phi_{G2}$ が高レベル $V_{\phi R}$ になった時にリセットされる。次いで、信号 $\phi_{G2}$ および $\phi_{G3}$ が $V_{\phi G}$ になると(第14図に示すT'の領域)と、行ライン91-2および91-3に接地されたLSIT群が選択され、水平走査信号 $\phi_{D1}, \phi_{D2}, \dots, \phi_{Dn}$ により、LSIT 90-31, 90-32, ... 90-3nの光信号と近似的にダーク状態であるLSIT 90-21, 90-22, ... 90-2nの信号が順次に読み出され、続いてリセットされる。以下、同様にして順次に各画素および1行との近似的なダーク信号が読み出され1フィールドのビデオ信号が得られる。なお、最上番目行の受光アレイの光信号の読み出しを行う場合は、近似的に暗状態とみなせる信号は最後の行の出力を得ることになる。

本実施例では、余分なダミーセルが不要になるという特徴を有するものである。

更に、光出力画素とダーク出力画素が最上行の場合を除いて互に隣接する位置関係にあるため暗電流の差し引きが高精度に行われるという特徴も有するものである。

なお、本発明による固体撮像装置は上述の種々の実施例に限定されるものではなく幾多の変更による適用もできる。即ち、上述の実施例では横型静電誘導トランジスタ(LSIT)を用いたが、ノーマリオン型静電誘導トランジスタ(Normally On Vertical Static Induction Transistor)であってもよい。更に、上述の種々の実施例ではnチャンネル型のSITで説明したが、極性および不純物のタイプを逆にすればpチャンネル型であってもよいことは勿論である。

(発明の効果)

本発明による固体撮像装置は、受光信号と暗信号の差動をとった出力が得られるため、即ち、受光装置チップ内からの出力が光量に比例した出力として得られる。従って、出力信号が光信号の正相で出力するため、信号の後処理が容易になる。また、差動を同一の受光装置チップ内でとるため、価格も安価に上がり、また、該チップ内で差動をとらない場合に比べて、差動が正確にとれるため、微少光量まで、正確な信号が出ることとなる。こ

れは、チップ間のばらつきを低減する効果が大きく、それ故に歩留り向上に役立つものである。

#### 4. 図面の簡単な説明

第1図は本発明者が先に提案した固体撮像装置の基本構成図、

第2図(A)~(D)は該基本構成に於ける信号波形図

第3図は該装置の出力電圧と入射光量の関係を示す図、

第4図(A)~(B)は該装置の構成概略図とその信号波形図、

第5図は本発明による固体撮像装置の一実施例を示す基本構成図、

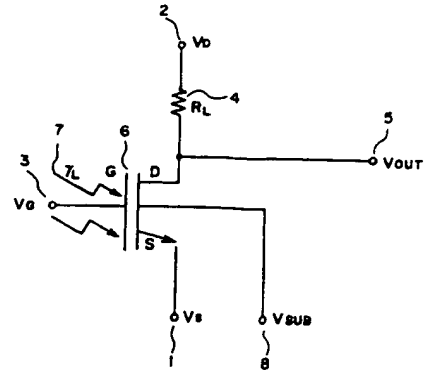
第6図は該基本構成に於ける出力電圧と入射光量の関係を示す図、

第7図は本発明装置の他の実施例を示す構成概略図、

第8図は該装置の動作を説明するための信号波形図、

第9図は本発明装置の更に他の実施例を示す構成概略図、

第 1 図



第10図は該装置の動作を説明するための信号波形図、

第11図は本発明装置の更に他の実施例を示す成概略図、

第12図は該装置の動作を説明するための信号波形図、

第13図は本発明装置に更に他の実施例を示す構成概略図、

第14図は該装置の動作を説明するための信号波形図をそれぞれに示すものである。

60-11, ... 60-mn, 70-11, ... 70-mn, 80-11, ... 80-mn, 90-11, ... 90-mn.....LSIT

64, 64', 74, 74', 84, 84', 94, 94'.....ビデオライン

66, 76, 86, 96 .....垂直走査回路

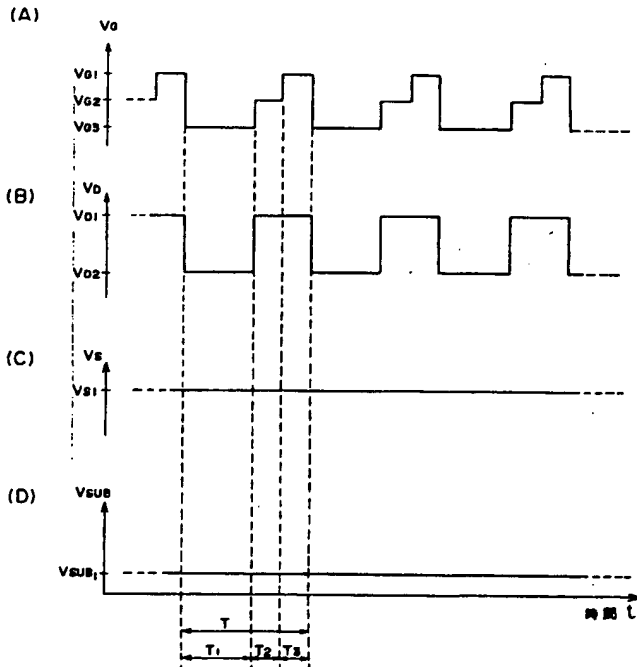
67, 77, 87, 97 .....水平走査回路

68 .....ダミー用トランジスタ

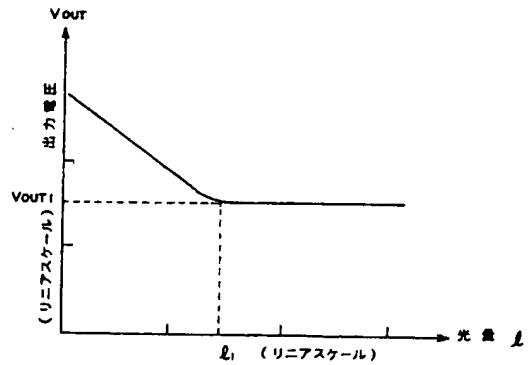
70-1, ... 70-m .....ダミー用LSIT

80-1, ... 80-m .....ダミー画素LSIT

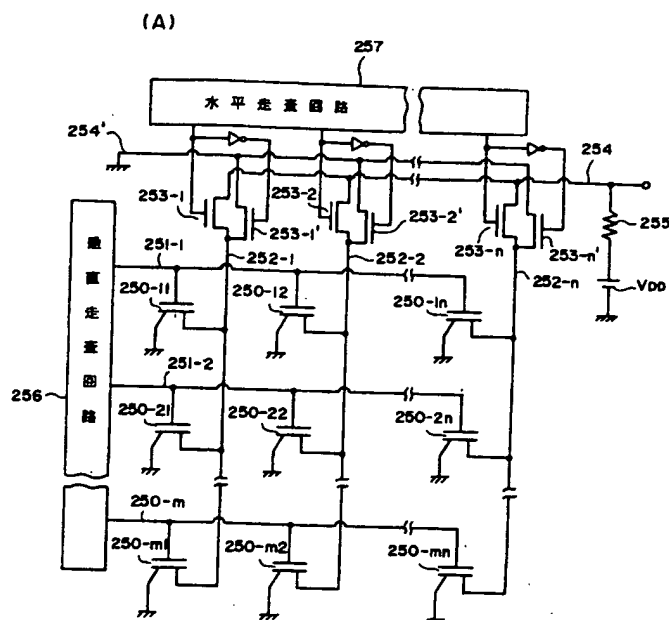
第 2 図



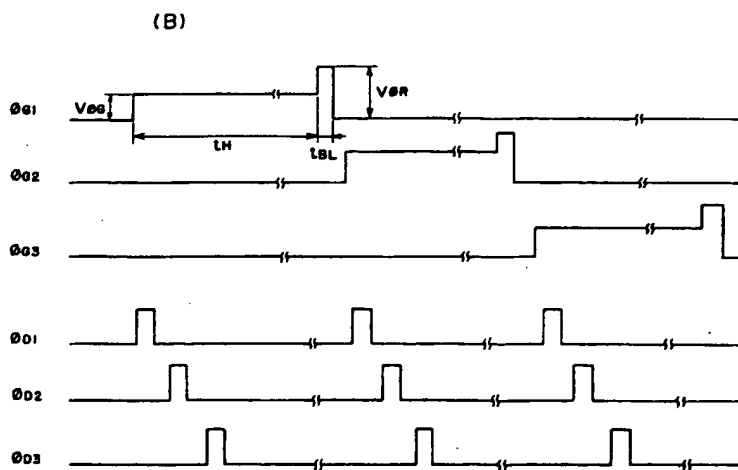
第 3 図



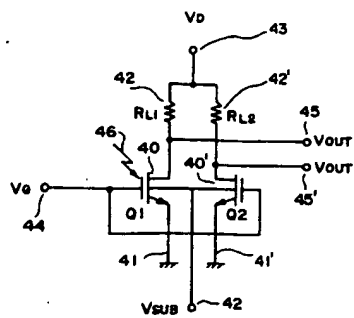
第 4 図



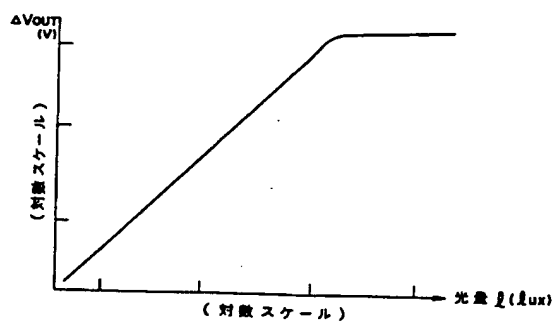
第 4 図



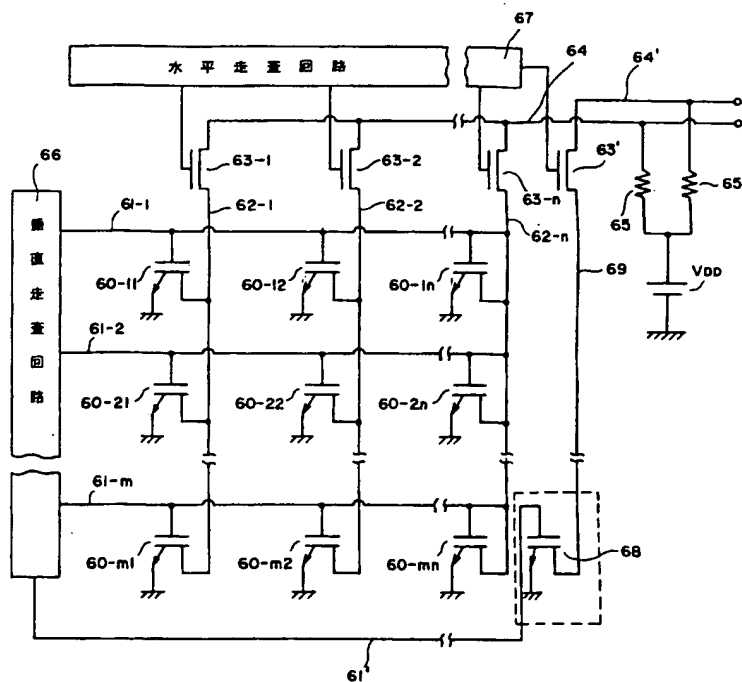
第 5 図



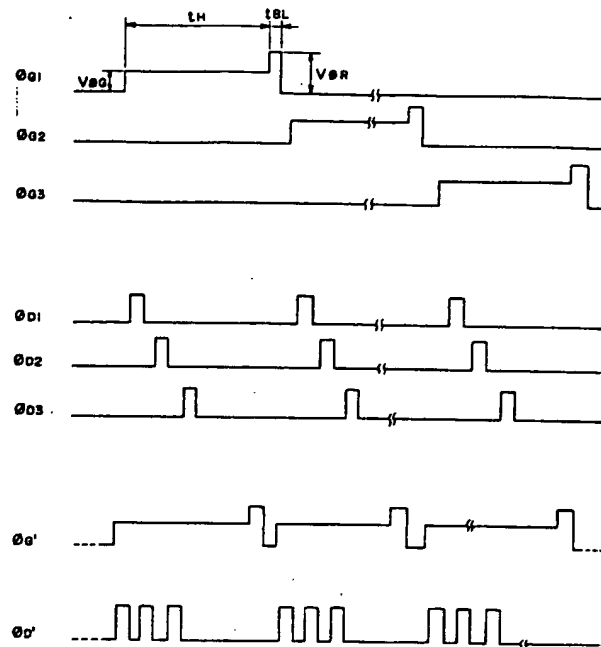
第 6 図



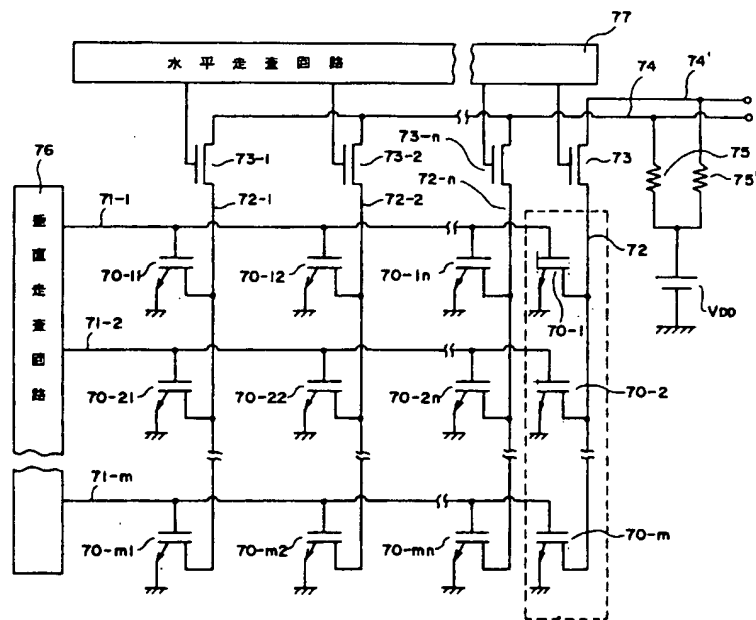
第 7 図



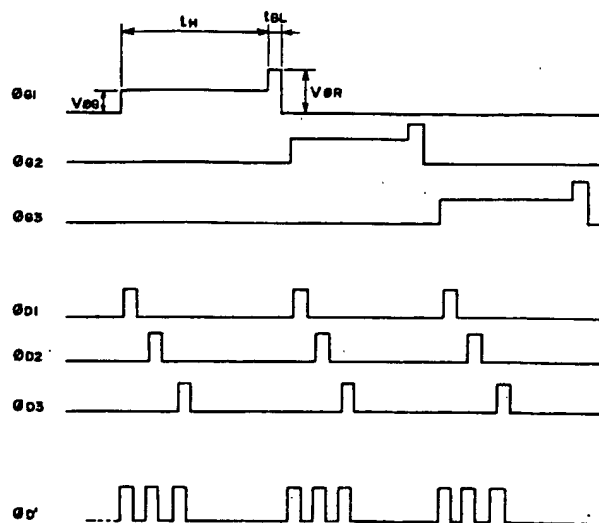
第 8 図



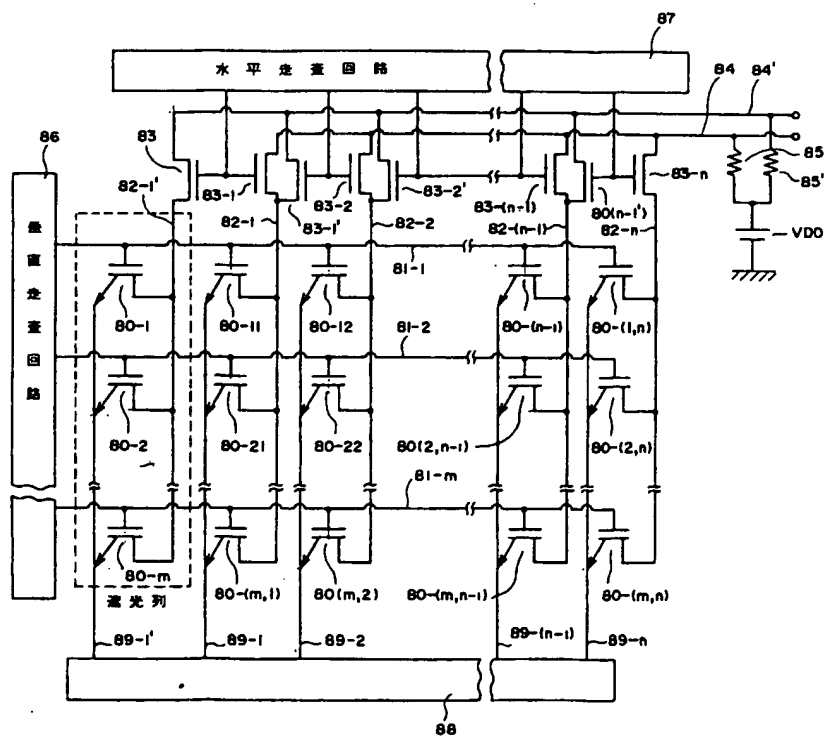
第 9 図



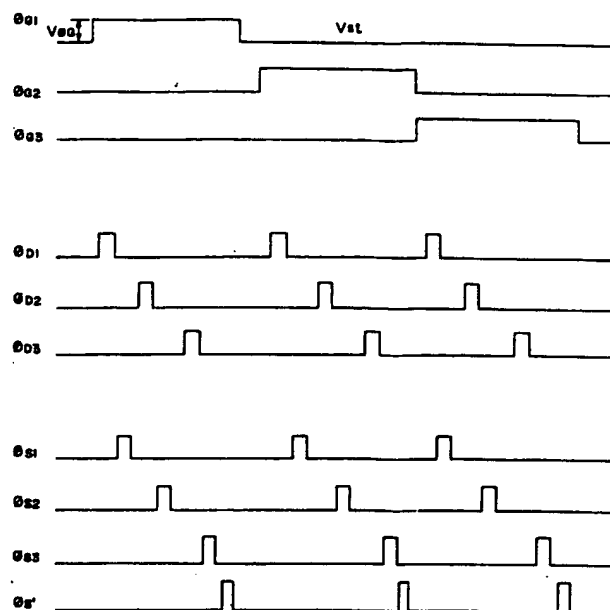
第 10 図



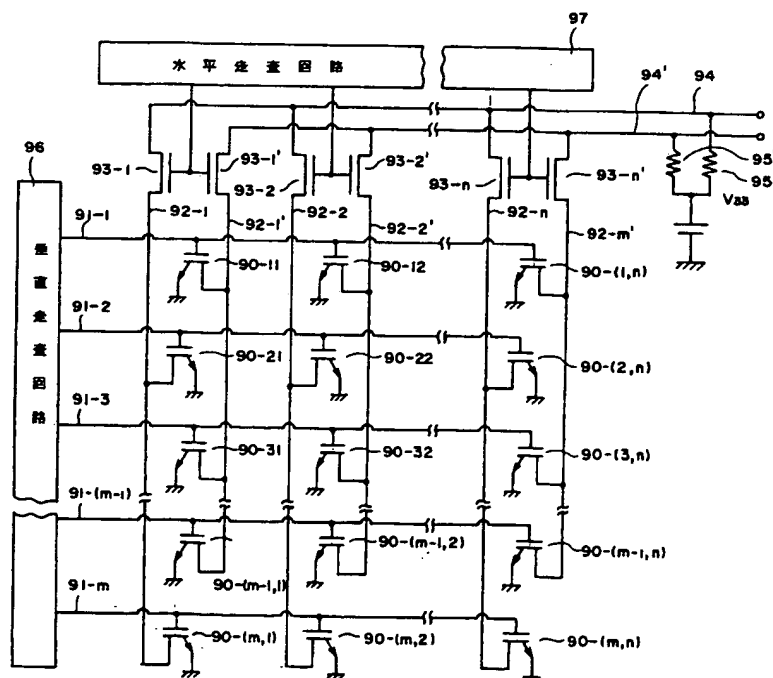
第 11 図



第 12 圖



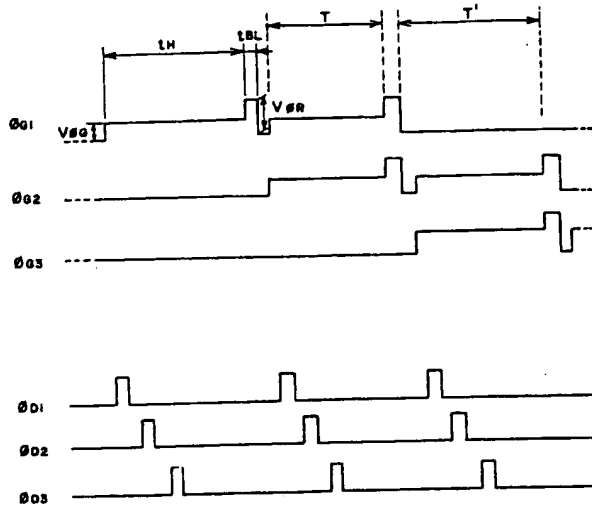
第 13 圖





昭和60年4月25日

第 14 図



特許庁長官 志賀 学 殿

## 1. 事件の表示

昭和59年特許願第77137号

## 2. 発明の名称

固体増幅装置

## 3. 補正をする者

事件との関係 特許出願人

〒151 東京都渋谷区幡ヶ谷2丁目43番2号

(037) オリンパス光学工業株式会社

代表者 下山 敏 郎



## 4. 補正命令の日付

自発補正

方式 立寄

## 5. 補正の対象

明細書の「発明の詳細な説明」の欄、「図面の簡単な説明」の欄および係付図面

## 6. 補正の内容 別紙の通り

特許庁  
60. 4. 26

(別紙)

(1) 明細書第6頁第19行の「順バイアス」を「逆バイアス」に訂正する。

(2) 同第7頁第13行～同第14行の「逆バイアス」を「順バイアス」に訂正する。

(3) 同第8頁第7行の「VOUT」を「VOUT1」に訂正する。

(4) 同第17頁第2行～同第3行の「63-1, 63-2', ... 63-n'」を「63'」に訂正する。

(5) 同第17頁第7行の「ビデオ電源VDDを接続する。」の後に、「また、ビデオライン64及び64'はそれぞれ差動増幅器160の入力端子に接続されている。」を加入し訂正する。

(6) 同第20頁第14行の「出力信号が出力される。」の後に、「これら2つの信号は差動増幅器160に入力され、該増幅器の出力端子に実効的な光出力信号が出力される。」を加入し訂正する。

(7) 同第22頁第1行の「ビデオ電源VDDを接続する。」の後に、「また、ビデオライン74及び74'はそれぞれ差動増幅器170の入力端子に接続されている。」を加入し訂正する。

(8) 同第23頁第16行～同第17行の「ダミー選択用LSIT70-1, 70-2, ... 70-m」を「ダミー用LSIT70-1」に訂正する。

(9) 同第24頁第16行の「ダーク信号が読み出され」の後に、「それぞれの信号は差動増幅器170に入力され、該増幅器の出力端子より」を加入し訂正する。

(10) 同第24頁第20行の「行」を「列」に訂正する。

(11) 同第26頁第7行～同第8行の「VDDを接続する。」の後に、「また、ビデオライン84及び84'はそれぞれ差動増幅器180の入力端子に接続されている。」を加入し訂正する。

- (12) 同第28頁第15行の「ダーク信号が読み出され」の後に、「これらの信号は差動増幅器180にされ、該増幅器の出力端子より」を加入し訂正する。
- (13) 同第29頁第20行の「電源VDDを接続する。」の後に、「また、ビデオライン94及び94'はそれぞれ差動増幅器190の端子に接続され、更に、該増幅器の出力端子は絶対値回路191の端子に接続されている。」を加入し訂正する。
- (14) 同第31頁第11行の「90-1n」を「90-2n」に訂正する。
- (15) 同第31頁第14行～同頁第20行の「光信号が…出力される。」を「光信号がビデオライン94に出力される。1フィールド(IH)前にリセットゲート電圧V<sub>PR</sub>によりリセットされ、該リセットより1フィールドの間のみしか受光しておらず近似的にダーク信号の出力状態になっているLSIT群90-11、90-12…90-1nの信号がビ

デオライン94'に出力される。」に訂正する。

- (16) 同第32頁第4行の「接地」を「接続」に訂正する。

- (17) 同第32頁第10行の「1行との近似的な」を「1行前の同列画素との近似的な」に訂正する。

- (18) 同第32頁第11行の「読み出され」の後に、「これらの信号が差動増幅器190にされ、該増幅器と絶対値回路を通ることにより」を加入し訂正する。

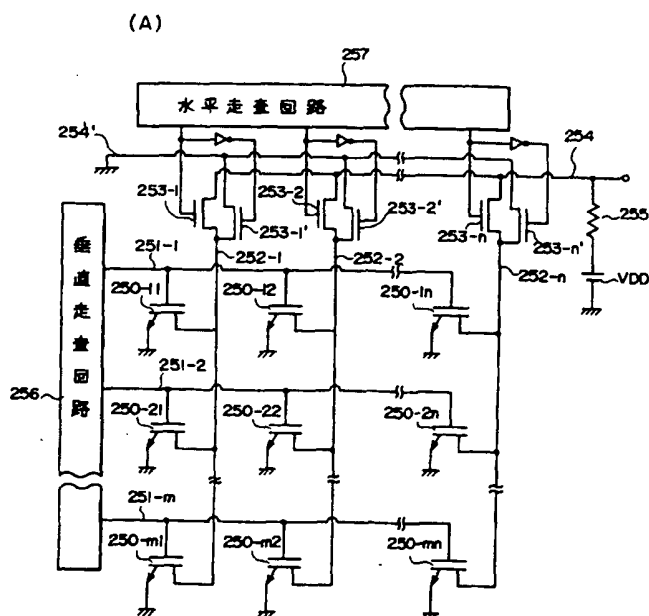
- (19) 添付図面のうち、第4図、第7図、第9図、第11図及び第13図を別添訂正図のように補正し代替えをする。

特許出願人

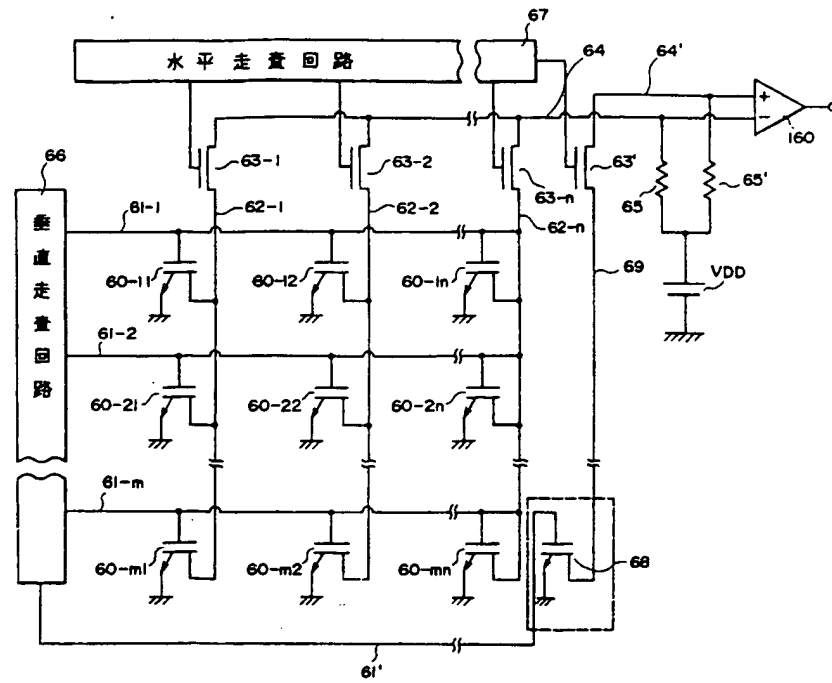
オリンパス光学工業株式会社



第4図 (訂正図)



第 7 図 (訂正図)



第 9 図 (訂正図)

